

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 2 7 日
Date of Application:

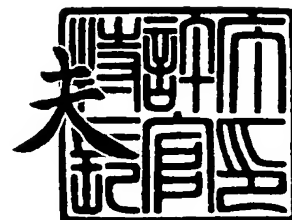
出 願 番 号 特 願 2 0 0 2 - 3 8 1 6 6 9
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 8 1 6 6 9]

出 願 人 シャープ株式会社
Applicant(s):

2 0 0 3 年 1 1 月 2 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 0 9 6 2 3 4

【書類名】 特許願

【整理番号】 02J04524

【提出日】 平成14年12月27日

【あて先】 特許庁長官 殿

【国際特許分類】 G02F 1/136 500
G02B 5/00
G02F 1/1333 505
G02F 1/1335

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 津幡 俊英

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 大寄 守英

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 武内 正典

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【選任した代理人】

【識別番号】 100113701

【弁理士】

【氏名又は名称】 木島 隆一

【選任した代理人】

【識別番号】 100116241

【弁理士】

【氏名又は名称】 金子 一郎

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208489

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置用基板およびこれを有する液晶表示装置

【特許請求の範囲】

【請求項 1】

信号線と走査線とが絶縁性基板上に設けられており、信号線および走査線が交差する交差部毎に設けられている画素電極と、信号線および画素電極の間に積層されている層間絶縁膜とを有している表示装置用基板において、

上記画素電極は、上記信号線が形成されている平面とは異なる平面に設けられており、

上記絶縁性基板の表面に対して垂直方向から見たとき、上記画素電極が設けられていない領域に信号線が設けられているとともに、上記信号線と上記画素電極との間には隙間が設けられていることを特徴とする表示装置用基板。

【請求項 2】

上記信号線および上記走査線が交差する交差部毎に設けられているアクティブ素子と、

上記アクティブ素子および上記画素電極を接触させるコンタクトホールと、

上記アクティブ素子、上記信号線、および上記走査線の表面を覆うように設けられている遮光膜とを有し、

上記絶縁性基板の表面に対して垂直方向から見たとき、信号線の表面を覆う遮光膜と画素電極とが重なっていることを特徴とする請求項 1 に記載の表示装置用基板。

【請求項 3】

上記信号線および上記走査線が交差する交差部毎に設けられているアクティブ素子と、

上記アクティブ素子および上記画素電極を接触させるコンタクトホールと、

上記アクティブ素子、上記信号線、および上記走査線の表面を覆うように設けられている遮光膜とを有し、

上記層間絶縁膜は、2 層以上の積層体であり、

上記遮光膜は、上記層間絶縁膜を構成する最上層と最下層との間に積層されて

おり、

上記絶縁性基板の表面に対して垂直方向から見たとき、信号線の表面を覆う遮光膜と画素電極とが重なっていることを特徴とする請求項 1 に記載の表示装置用基板。

【請求項 4】

上記遮光膜は、絶縁性を有する樹脂からなることを特徴とする請求項 2 または 3 に記載の表示装置用基板。

【請求項 5】

上記遮光膜は、金属からなることを特徴とする請求項 3 に記載の表示装置用基板。

【請求項 6】

請求項 1 から 5 のいずれか 1 項に記載の表示装置用基板を有することを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示装置の表示品位を向上させることができる表示装置用基板と、その基板を有する液晶表示装置とに関するものである。

【0002】

【従来の技術】

現在、液晶表示装置は、小型、薄型、低消費電力、および軽量といった特徴を持ち、各種電子機器に広く用いられるようになっている。特に、スイッチング素子を能動素子として有するアクティブマトリクス型の液晶表示装置（液晶表示パネル）は、CRT と同等の表示特性が得られるため、パソコン等の OA 機器、テレビ等の AV 機器や携帯電話などに広く応用されている。また、近年、液晶表示装置は、大型化と、高精細化、画素有効面積比率向上（高開口率化）などの品位向上とが急速に進んでいる。

【0003】

アクティブマトリクス基板上で、画素電極とソースライン（信号線）とが同一

平面上に形成される技術においては、高精細化および高開口率化を図る場合、有効画素領域を増やすために、画素とソースラインとの距離の低下、ソースラインの細線化がなされてきた。

【0004】

しかし、画素とソースラインとの距離を低下させると、短絡不良が発生しやすくなる。また、ソースラインを細線化すると、断線不良が発生しやすくなる。つまり、アクティブマトリクス基板上で、画素電極とソースラインとが同一平面上に形成される技術においては、短絡不良および断線不良の発生等によって、歩留まりの低下が発生する。

【0005】

そこで、それら短絡不良および断線不良を防止して、上記歩留まりの低下を改善するために、例えば、下記（a）～（c）のようなアクティブマトリクス基板の製造方法が提案されている。

（a）アクティブ素子とソースラインとを形成した後に、透明層間絶縁膜を配する。

（b）アクティブ素子と透明画素電極とを、コンタクトホールを通して接触（コンタクト）させる。

（c）透明層間絶縁膜上に画素電極を形成することで、同一平面からソースラインと画素電極とを分離する。

【0006】

また、上記のように製造されたアクティブマトリクス基板と対向するようにカラーフィルター基板を貼り合わせて、それら基板と基板との間に液晶を注入することによって、液晶表示装置は製造される。ここで言うカラーフィルター基板としては、例えば、R（赤）、G（緑）、B（青）の色領域が、アクティブマトリクス基板側の画素領域と一致するように作成されており、さらに、各画素領域以外の部分にはブラックマトリックス（遮光膜）が埋められているという基板が挙げられる。

【0007】

上記のようなカラーフィルターを用いた液晶表示装置の製造方法において、ブ

ラックマトリックス（以下、ブラックマトリックスのことを適宜「BM」と表記する）の精度は、開口率に影響を与える。このBMの精度は、アクティブマトリクス基板およびカラーフィルター基板の貼り合わせ精度と、所望のBMの幅を形成する精度との足し合わせとなる。この問題を改善する方法として、下記に示す特許文献1および2では、アクティブマトリクス基板側に自己整合的にBMを形成することによって、開口率の向上を実現している。

【0008】

上記のような、BMを自己整合的に形成したアクティブマトリクス基板の具体例について、図12および図13を参照して説明する。

【0009】

図12は、従来のアクティブマトリクス基板（薄膜トランジスタアレイ）における1画素と、その1画素の隣りに位置する画素の一部とを示す平面図である。図12に示すように、アクティブマトリクス基板の1画素において、ゲートバスライン（走査線）101とソースバスライン（信号線）102とが、互いに交差するように配置されている。その交差する部分には、画素電極103が配置されている。

【0010】

上記ゲートバスライン101には、ゲート電極104が形成されている。ソースバスライン102には、ソース電極105が形成されている。また、画素電極103は、ドレイン電極106と接続されている。そして、画素電極103を有する画素の隣りの画素には、画素電極103と同様の画素電極103'が設けられている。画素電極103と画素電極103'との間には、ソースバスライン102が設けられている。

【0011】

画素電極103には、コンタクトホール109を介して、ドレイン電極106が接続されている。同様に、画素電極103'には、コンタクトホール109'を介して、補助容量バスライン107が接続されている。

【0012】

次に、上記アクティブマトリクス基板、特に薄膜トランジスタアレイの製造方

法について、図12および図13を用いて簡単に説明する。なお、図13は、図12に示す薄膜トランジスタアレイのA-A'線における矢視断面図である。

【0013】

まず、ガラス等の透明絶縁性基板からなる基板110上に、ゲートライン（ゲート線）101と、ゲート電極104と、補助容量ライン7とを同一工程にて形成する。次に、それらの上に、ゲート絶縁膜111を形成する。

【0014】

その後、薄膜トランジスタ（TFET）などのアクティブ素子114を形成する。図12および図13においては、まず、活性半導体層112を形成する。次に、アモルファスシリコン（例えばn型アモルファスシリコン）層113を形成する。さらに、ソースライン102と、ソース電極105と、ドレイン電極106とを形成（ソースライン102およびソース電極105は同一工程にて形成）する。

【0015】

次に、アクティブ素子114（コンタクトホール9およびその周辺部を除く）と、ソースライン102と、ゲートライン101と、補助容量ライン107（コンタクトホール109'およびその周辺部を除く）とを覆うように、絶縁層パターンからなるBM108を形成する。

【0016】

ブラックマトリックス108は、画素電極を除く各構成要素領域上に、自己整合的に設置されている。このBM108は、基板110の裏面から露光することによって、ゲートライン101、ソースライン102、アクティブ素子114、および補助容量ライン107に対して、自己整合的に作成する。

【0017】

その後、全面を覆うように、層間絶縁膜115を形成する。次に、コンタクトホール109とコンタクトホール109'とを形成する。次に、コンタクトホール109および109'を被覆するように、画素電極103および103'を形成する。なお、上記コンタクトホール109により、アクティブ素子のドレイン電極106と画素電極103とが接続される。また、上記コンタクトホール9'

により、補助容量を形成するための補助容量バスライン 107 と、画素電極 103 とが接続される。

【0018】

上記製造方法により、アクティブマトリクス基板において、ソースライン 102 と画素電極 103 とを、層間絶縁膜 115 を挟んで分離することができる。

【0019】

上記のようなソースラインと画素電極との分離によって、図 13 に示すように、画素電極 (103 および 103') とソースライン 102 とを重ね合わせることができる。従来、この重ね合わせと、必要最小限の BM パターンを自己整合的に形成することとによって、液晶表示装置の開口率を改善している。

【0020】

上記画素電極とソースラインとの重ね合わせについて、図 13 を用いて説明する。図 12 および図 13 に示す「 z 」および「 z' 」は、ソースライン 102 と画素電極 103 および 103' との重なり距離を示している。また、図 13 によれば、 z は、 z_1 と z_2 との間の距離である。同様に、 z' は、 z_1' と z_2' との間の距離である。

【0021】

上記 z_1 は、ソースライン 102 の端の位置を示すものであって、ソースライン 102 の端から、ソースライン 102 の面に対して垂直に引いた線である。同様に、 z_1' は、ソースライン 102 の端の位置を示すものであって、ソースライン 102 の端から、ソースライン 102 の面に対して垂直に引いた線である。なお、上記 z_1 は、対象とする画素に隣接している画素電極 (103') に近い側の端である。上記 z_1' は、対象とする画素の画素電極 (103) に近い側の端である。

【0022】

z_2 は、画素電極 103' の端の位置を示すものであって、画素電極 103' の端から、画素電極 103' の面に対して垂直に引いた線である。同様に、 z_2' は、画素電極 103 の端の位置を示すものであって、画素電極 103 の端から、画素電極 103 の面に対して垂直に引いた線である。

【0023】

【特許文献1】

特開平10-170950号公報（公開日：1998年6月26日）

【0024】

【特許文献2】

特開2001-33816号公報（公開日：2001年2月9日）

【0025】

【発明が解決しようとする課題】

しかしながら、上記基板の製造方法によれば、画素電極とソースラインとの間の寄生容量（ C_{sd} ）が、表示領域内でずれてしまう。そのずれによって、各画素の液晶容量に保持されている電荷量に、面内差が生じる。このような面内差は、液晶表示装置の表示ムラの原因となるという問題点がある。

【0026】

上記問題点は、フォトリソ工程の露光機精度ばらつきにより、ソースラインパターンと画素電極パターンとの位置関係が、表示領域内でずれることに起因している。アクティブマトリクス of 製造工程におけるフォトリソ工程のショット間アライメント精度は、現在、一般的に $\pm 0.3 \mu m$ 程度である。

【0027】

本発明は、上記従来の問題点を鑑みなされたものであって、その目的は、表示装置、特に液晶表示装置の表示ムラを低減することができる基板を提供することにある。

【0028】

【課題を解決するための手段】

本発明の表示装置用基板は、上記課題を解決するために、信号線と走査線とが絶縁性基板上に設けられており、信号線および走査線が交差する交差部毎に設けられている画素電極と、信号線および画素電極の間に積層されている層間絶縁膜とを有している表示装置用基板において、上記画素電極は、上記信号線が形成されている平面とは異なる平面に設けられており、上記絶縁性基板の表面に対して垂直方向から見たとき、上記画素電極が設けられていない領域に信号線が設けら

れているとともに、上記信号線と上記画素電極との間には隙間が設けられていることを特徴としている。

【0029】

上記の発明によれば、絶縁性基板の表面に対して垂直方向から見たとき、信号線（ソースライン）と画素電極との間には、隙間が設けられている。このように、信号線（ソースライン）と画素電極との間に隙間を設けると、表示装置の表示ムラと相関のある値（ $\Delta\Delta\beta$ ）が小さくなる。この $\Delta\Delta\beta$ の値が小さくなると、画素電位実効値（ V_d ）の差が小さくなる。その結果、表示装置の表示ムラを低減することができる。

【0030】

また、本発明の表示装置用基板は、上記構成に加えて、上記信号線および上記走査線が交差する交差部毎に設けられているアクティブ素子と、上記アクティブ素子および上記画素電極を接触させるコンタクトホールと、上記アクティブ素子、上記信号線、および上記走査線の表面を覆うように設けられている遮光膜とを有し、上記絶縁性基板の表面に対して垂直方向から見たとき、信号線の表面を覆う遮光膜と画素電極とが重なっていることを特徴としている。

【0031】

上記構成によれば、上記絶縁性基板の表面に対して垂直方向から見たとき、信号線の表面を覆う遮光膜と画素電極とが重なっている。その結果、上記効果に加えて、光漏れを防止して、本基板を表示装置に用いたとき、より良い表示性能を発揮することができる。

【0032】

さらに、上記構成によれば、アクティブ素子と画素電極とをコンタクトホールを通して接触（コンタクト）させ、層間絶縁膜上に画素電極を形成することにより、同一平面からソースラインと画素電極とを分離することができる。その結果、上記効果に加えて、画素電極とソースラインとによる短絡不良および断線不良を防止して、歩留まりの低下を抑制することができる。

【0033】

また、本発明の表示装置用基板は、上記構成に加えて、上記信号線および上記

走査線が交差する交差部毎に設けられているアクティブ素子と、上記アクティブ素子および上記画素電極を接触させるコンタクトホールと、上記アクティブ素子、上記信号線、および上記走査線の表面を覆うように設けられている遮光膜とを有し、上記層間絶縁膜は、2層以上の積層体であり、上記遮光膜は、上記層間絶縁膜を構成する最上層と最下層との間に積層されており、上記絶縁性基板の表面に対して垂直方向から見たとき、信号線の表面を覆う遮光膜と画素電極とが重なっていることを特徴としている。

【0034】

上記構成によれば、信号線（ソースライン）と画素電極との間に積層されている層間絶縁膜は、2層以上の積層体である。さらに、層間絶縁膜を構成する最上層と最下層との間に、遮光膜が積層されている。その結果、遮光膜に特定の材料を用いる必要がなくなる。つまり、遮光性と絶縁性とを有する樹脂の他に、遮光膜の材料として、例えば金属なども用いることが可能となる。

【0035】

また、本発明の表示装置用基板は、上記構成に加えて、上記遮光膜は、絶縁性を有する樹脂からなることを特徴としている。

【0036】

上記構成によれば、絶縁性を有する樹脂からなる。その結果、比較的容易に遮光膜を形成することができる。例えば、ドライフィルムラミネート方式の、カーボンが分散した感光性樹脂材料などを用いて、遮光膜を形成することができる。

【0037】

また、本発明の表示装置用基板は、上記構成に加えて、上記遮光膜は、金属からなることを特徴としている。

【0038】

上記構成によれば、遮光膜は金属からなる。その結果、遮光性の高い遮光膜を、容易に形成することができる。

【0039】

また、本発明の液晶表示装置は、上記に記載の表示装置用基板を有することを特徴としている。

【0040】

上記構成によれば、本発明の液晶表示装置が有している表示装置用基板は、絶縁性基板の表面に対して垂直方向から見たとき、画素電極が設けられていない領域に信号線が設けられているとともに、信号線と画素電極との間には隙間が設けられている。このように、信号線（ソースライン）と画素電極との間に隙間を設けると、表示装置の表示ムラと相関のある値（ $\Delta\Delta\beta$ ）が小さくなる。この $\Delta\Delta\beta$ の値が小さくなると、画素電位実効値（ V_d ）の差が小さくなる。その結果、表示ムラの低減が可能な液晶表示装置を提供することができる。

【0041】

【発明の実施の形態】

〔実施の形態1〕

本発明の実施の一形態について、図1ないし図3に基づいて説明する。

【0042】

なお、本実施の形態においては、表示装置用基板の具体例として、液晶表示装置用のアクティブマトリクス基板について説明する。

【0043】

図1は、本発明の液晶表示装置の一例を示す断面図である。液晶表示装置40は、アクティブマトリクス基板30と対向基板33とを有し、それら基板は、液晶層32を挟んでいる。なお、液晶層32は、対向基板33の配向膜と、アクティブマトリクス基板30の配向膜31との間に挟まれている。

【0044】

図2は、本発明のアクティブマトリクス基板30（表示装置用基板）における1画素と、その1画素の隣りに位置する画素の一部とを示す平面図である。図2に示すように、ソースライン（信号線）2とゲートライン（走査線）1と画素電極3が、絶縁性基板10上に積層されている。そのゲートライン1とソースライン2とは、互いに交差するように配置されている。そして、それらが交差する交差部毎に、画素電極3が設けられている。なお、絶縁性基板10は、図2で言えば最背面に位置し、図3に示す断面図に記載の位置に配置されている。

【0045】

上記ゲートライン 1 には、ゲート電極 4 が形成されている。ソースライン 2 には、ソース電極 5 が形成されている。また、画素電極 3 は、ドレイン電極 6 と接続されている。そして、画素電極 3 を有する画素の隣りの画素には、画素電極 3 と同様の画素電極 3' が設けられている。画素電極 3 と画素電極 3' との間には、ソースライン 2 が設けられている。

【0046】

画素電極 3 には、コンタクトホール 9 を介して、ドレイン電極 6 が接続されている。同様に、画素電極 3 には、コンタクトホール 9' を介して、補助容量バスライン 7 が接続されている。

【0047】

図 2 に示すように、アクティブ素子 14、ゲートライン 1、およびソースライン 2 の表面を覆うように、ブラックマトリックス (BM) (遮光膜) 8 が設けられている。さらに、図 2 によれば、絶縁性基板 10 の表面に対して垂直方向から見たとき、ソースライン 2 の表面を覆う BM 8 と、画素電極 3 とが重なっている。同様に、画素電極 3' と BM 8 とは重なっている。つまり、特定の画素における信号線の表面を覆う BM (遮光膜) 8 と、特定の画素から信号線をはさんで隣りに位置する画素電極 3' とが重なっている。図 2 において、画素電極 3' と BM 8 との重なり幅 (距離) を y で示している。

【0048】

また、図 2 に示すように、絶縁性基板 10 の表面に対して垂直方向から見たとき、画素電極が設けられていない領域、つまり、画素電極 3 と画素電極 3' との間の領域に、ソースライン 2 は設けられている。さらに、ソースライン 2 と画素電極 3' との間には、隙間 (x) が設けられている。同様に、絶縁性基板 10 の表面に対して垂直方向から見たとき、ソースライン 2 と画素電極 3 との間には、隙間 (x') が設けられている。

【0049】

なお、上記「絶縁性基板 10 の表面に対して垂直方向から見たとき」というのは、換言すれば、絶縁性基板 10 の表面において、対象となる物の正射影を見たとき、ということである。より具体的に言えば、対象となる物の各点から、絶縁

性基板 10 の表面に下ろした垂線の足の集まりを見たとき、ということになる。

【0050】

例えば、上記画素電極 3' と BM8 とが重なっているというのは、絶縁性基板 10 の表面における画素電極 3' の正射影と、絶縁性基板 10 の表面における BM8 の正射影とが重なっていることを意味する。さらに、上記ソースライン 2 と画素電極 3' との間に設けられている隙間 (x) というのは、絶縁性基板 10 の表面におけるソースライン 2 の正射影と、絶縁性基板 10 の表面における画素電極 3' との正射影との間に設けられている隙間のことである。

【0051】

次に、電流および電圧の制御について、簡単に説明する。ゲートライン 1 が選択されると、ゲート電極 4 に電圧が印加される。このゲート電極 4 に印加される電圧によって、ソース電極 5 およびドレイン電極 6 間を流れる電流が制御される。つまり、ソースライン 2 から伝送された信号に基づいて、ソース電極 5 からドレイン電極 6 へ、ドレイン電極 6 から画素電極 3 へと電流が流れることによって、画素電極 3 は、所定の表示を行うようになっている。補助容量バスライン 7 は、所定の表示を維持するために補助的に設置される。

【0052】

次に、上記アクティブマトリクス基板 30 の製造方法について、図 2 および図 3 を用いて説明する。なお、図 3 は、図 2 に示す B-B' 線における矢視断面図である。

【0053】

まず、ガラス等の透明な絶縁体からなる絶縁性基板 10 上に、ゲートライン 1、ゲート電極 4、および補助容量ライン 7 を同一工程にて形成する。次に、それらの表面に、ゲート絶縁膜 11 を形成する。次に、薄膜トランジスタ (TFT) などのアクティブ素子 14 と、ソースライン 2 と、ソース電極 5 とを形成する。ソースライン 2 およびソース電極 5 は、同一工程にて形成する。

【0054】

なお、図 2 および図 3 に示すアクティブ素子 14 の形成は、まず、活性半導体層 12 を形成する。次に、アモルファスシリコン (例えば n 型アモルファスシリ

コン) 層 13 を形成する。さらに、ソースライン 2 と、ソース電極 5 と、ドレイン電極 6 とを形成 (ソースライン 2 およびソース電極 5 は同一工程にて形成) する。

【0055】

その後、BM (BMパターン) 8 を形成する。この BM 8 は、例えば、遮光性を有する樹脂製の絶縁層パターンで形成することができる。例えば、BM の材料としては、ドライフィルムラミネート方式の、カーボンが分散された感光性樹脂材料などが挙げられる。

【0056】

BM 8 の形成方法としては、まず、基板表面に、黒色の樹脂膜を有するドライフィルムをラミネートし、カバーフィルムを剥離することによって、黒色の樹脂膜を転写する。次に、ドレイン電極 6、アクティブ素子 14、ソースライン 2、ゲートライン 1、補助容量ライン 7 を覆うように、かつ、画素電極 3 および 3' と平面的に重なり合う (重なりを図 3 の「y」で示す) ように、パターンマスクを用いて露光、現像、およびポストバークを行い、BM 8 (BMパターン) を完成する。なお、図 2 および図 3 に示すように、コンタクトホール 9 および 9' の部分と、それらの周囲の部分とは、BM 8 を形成していない。

【0057】

次に、全面を覆うように層間絶縁膜 15 を形成する。その層間絶縁膜 15 の材料としては、例えば、ネガ型感光性透明樹脂を用いることができる。

【0058】

次に、アクティブ素子 14 のドレイン電極 6 および画素電極 3 を接続するためのコンタクトホール 9 と、補助容量を形成するための補助容量バスライン 7 と画素電極 3 とを接続するためのコンタクトホール 9' とを形成する。その後、コンタクトホール 9 および 9' を被覆するように、透明の画素電極を成膜する。次に、ソースライン 2 との平面的な距離 x を確保するように、成膜した透明画素電極をパターンニングして、画素電極 3 および 3' を得る。

【0059】

本実施の形態において、ゲートライン 1 およびソースライン 2 の材料としては

、アルミニウム (Al) を使用している。しかし、ゲートライン 1 およびソースライン 2 の材料としては、所望のライン抵抗が得られる金属であればよい。例えばタンタル (Ta)、チタン (Ti)、クロム (Cr) 等の金属およびこれらの金属の合金などを、ゲートライン 1 およびソースライン 2 の材料として使用してもよい。また、TaN/Ta/TaN、Ti/Al/Ti などの積層構造からなる膜を、ゲートライン 1 およびソースライン 2 の材料として用いることも可能である。さらにソースライン 2 の材料としては、一般的な金属膜だけでなく、例えば、ITO (Indium Tin Oxide) などの透明導電性膜を使用することもできる。

【0060】

また、本実施の形態において、アクティブ素子 (スイッチング素子) 14 には、アモルファスシリコン薄膜トランジスタを用いた。しかし、スイッチング素子 14 としては、例えば、マイクロクリスタルシリコン薄膜トランジスタ、ポリシリコン薄膜トランジスタ、CGS (連続粒界結晶シリコン) 薄膜トランジスタ、MIM (Metal Insulator Metal) など、同様に用いることができる。

【0061】

BM8 の樹脂層には、OD 値 3.0、膜厚 2.5 μm のトランサーフィルム方式のカーボンが分散された感光性樹脂材料を用いた。しかし、このような樹脂材料に限定されず、所望の OD 値、テーパー形状、および誘電率を得られる他の材料を用いることも可能である。BM8 の材料としては、例えば、顔料分散型黒色レジストなどが挙げられる。なお、上記 OD とは、Optical Density の略である。また、OD 値とは、物質の透過率を示す値であり、OD 値が大きい物質ほど透過率は低い。

【0062】

さらに、画素電極 3 および 3' には、ITO を用いた。しかし、IZO などの透明画素電極を、画素電極 3 および 3' に用いることもできる。

【0063】

次に、図 3 を用いて、図 2 に示した重なる幅 y と、隙間 x および x' について説明する。図 3 に示す $x1'$ は、画素電極 3 の端から、絶縁性基板 10 の表面に対して垂直に引いた直線である。 $x2'$ は、ソースライン 2 の端 (スイッチ

ング素子 14 側) から、絶縁性基板 10 の表面に対して垂直に引いた直線である。そして、 x' は、 $x1'$ および $x2'$ の両方の線間における距離 (最短距離) である。つまり、ソースライン 2 の端 (スイッチング素子 14 側) と画素電極 3 の端との間には、隙間 x' が設けられていることを示している。

【0064】

また、図 3 に示す $x1$ は、画素電極 3' の端から、絶縁性基板 10 の表面に対して垂直に引いた直線である。 $x2$ は、ソースライン 2 の端 (画素電極 3' 側) から、絶縁性基板 10 の表面に対して垂直に引いた直線である。そして、 x は、 $x1$ および $x2$ の両方の線間における距離 (最短距離) である。つまり、画素電極 3 から見てソースライン 2 を挟んだ位置にある画素電極 3' とソースライン 2 との間には、隙間 x が設けられていることを示している。

【0065】

図 3 に示す $y1$ は、画素電極 3' 側における BM8 の端から、絶縁性基板 10 の表面に対して垂直に引いた直線である。図 3 によれば、この直線 $y1$ は、画素電極 3' と交差していることが分かる。つまり、画素電極 3' と BM8 とが重なっていることが分かる。また、図 3 に示す直線 $y2$ ($x1$ と同じ) は、画素電極 3' の端から、絶縁性基板 10 の表面に対して垂直に引いた直線である。そして、 y は、 $y1$ および $y2$ の両方の線間における距離 (最短距離) である。つまり、 y は、ある画素における BM8 と、その画素の隣りに位置する画素電極 3' との重なり幅を示している。

【0066】

〔実施の形態 2〕

本発明における他の実施の形態について、図 2 および図 4 に基づいて説明すれば、以下の通りである。なお、説明の便宜上、実施の形態 1 の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。また、実施の形態 1 で述べた各種の特徴点については、本実施の形態についても組み合わせて適用し得るものとする。

【0067】

実施の形態 2 においては、層間絶縁膜が 2 層以上の積層体となっているアクテ

ィブマトリクス基板 30 について、図 2 および図 4 を用いて説明する。なお、平面図（図 2）については、実施の形態 1 と同様である。図 4 は、図 2 に示す B-B' 線における矢視断面図である。

【0068】

以下、層間絶縁膜が 2 層以上積層されているアクティブマトリクス基板 30 の製造方法について、説明する。

【0069】

まず、ガラス等の透明な絶縁体からなる絶縁性基板 10 上に、ゲートライン 1、ゲート電極 4、および補助容量ライン 7 を同一工程にて形成する。次に、それらの表面に、ゲート絶縁膜 11 を形成する。

【0070】

次に、薄膜トランジスタ（TFT）などのアクティブ素子 14 と、ソースライン 2 と、ソース電極 5 とを形成する。ソースライン 2 およびソース電極 5 は、同一工程にて形成する。

【0071】

なお、図 2 および図 3 に示すアクティブ素子 14 の形成は、まず、活性半導体層 12 を形成する。次に、アモルファスシリコン（例えば n 型アモルファスシリコン）層 13 を形成する。さらに、ソースライン 2 と、ソース電極 5 と、ドレイン電極 6 とを形成（ソースライン 2 およびソース電極 5 は同一工程にて形成）する。

【0072】

次に、第 2 層間絶縁膜 20 を、CVD 法にて成膜して、パターニングする。その第 2 層間絶縁膜 20 には、アクティブ素子 14 のドレイン電極 6 および画素電極 3 を接続するためのコンタクトホール 9 と、補助容量を形成するための補助容量バスライン 7 および画素電極 3 を接続するためのコンタクトホール 9' とを形成する。

【0073】

次に、BM8 を形成する。本実施の形態において、BM8 の材料には、タンタル（Ta）を用いた。具体的には、まず、スパッタリング装置にて Ta 膜を成膜

する。次に、アクティブ素子 14 と、ソースライン 2 と、ゲートライン 1 と、補助容量ライン 7 とを覆うように、かつ、画素電極 3 および 3' と平面的に重なり合うように、Ta 膜をパターニングして、BM8 を得る。なお、そのパターニングは、パターンマスクを用いた、フォトリソグラフィパターニングにより行った。なお、図 2 および図 4 に示すように、コンタクトホール 9 および 9' の部分と、それらの周囲の部分とには、BM8 を形成していない。

【0074】

その後、ネガ型の感光性透明樹脂を用いて、全面を覆うように、層間絶縁膜 15 を形成する。次に、コンタクトホール 9 および 9' を層間絶縁膜 15 に形成する。次に、コンタクトホール 9 および 9' を被覆するように、透明画素電極を成膜する。次に、その透明画素電極をパターニングして、画素電極 3 および 3' を得る。そのパターニングによって、ソースライン 2 と画素電極 3 および 3' との平面的な距離を確保する。

【0075】

本実施の形態においては、図 4 に示すように、層間絶縁膜として 2 層（層間絶縁膜 15 および第 2 層間絶縁膜 20）積層されている。つまり、層間絶縁膜は、2 層以上の積層体として構成されている。そして、BM8（遮光膜）は、層間絶縁膜を構成する最上層（層間絶縁膜 15）と、最下層（第 2 層間絶縁膜 20）との間に積層されている。本実施の形態において、その BM8 には、金属を用いている。具体的に言えば、スパッタリングにより成膜される Ta を BM8 に用いた。しかし、BM8 の材料は、これに限定されることはない。例えば、Ta 以外の別の材料、例えば、Cr（クロム）のような金属、および、実施の形態 1 で用いた BM の材料などを、本実施の形態における BM8 の材料として用いることができる。上記のように、層間絶縁膜を構成する最上層（層間絶縁膜 15）と最下層（第 2 層間絶縁膜 20）との間に BM8（遮光膜）を積層すると、BM8 に、特定の材料（絶縁性材料）を用いる必要がなくなる。

【0076】

また、層間絶縁膜 15 には、ネガ型の感光性透明樹脂を用いた。しかし、これに限定されることはない。例えば、CVD 法による SiN_x 膜（窒化ケイ素膜）

など、所望の誘電率、透過率を得られる材料を、層間絶縁膜 15 に用いることもできる。さらに、第 2 層間絶縁膜 20 には、CVD 法による SiN_x 膜を用いたが、ネガ型の感光性透明樹脂を用いてもよい。なお、感光性透明樹脂としては、例えば、アクリル系樹脂、エポキシ系樹脂、ポリウレタン系樹脂、ポリイミド系樹脂などの樹脂が挙げられる。

【0077】

【実施例】

本発明の実施例として、画素電極とソースラインとの間の寄生容量 (C_{sd}) の表示領域内でのずれを低減して、表示ムラを低減するという例を示す。

【0078】

図 5 に、表示ムラと相関のある $\Delta\Delta\beta$ 値と、画素電極およびソースライン間の隙間 (距離) x との関係を示す。また、図 6 には、アクティブマトリクス型の液晶表示装置の簡易的な等価回路を示す。

【0079】

図 5 において、縦軸は、 $\Delta\Delta\beta$ の値を示している。横軸は、画素電極およびソースライン間の隙間 x の値を示している。なお、 x の値がゼロより小さい値の場合は、ソースラインと画素電極とが重なりを持っている場合である。

【0080】

図 5 に示すプロットにおける $\Delta\Delta\beta$ の値は、下記の条件で求めた。本実施例では、図 2 および図 3 に示す x および x' を同じ値 ($x = x'$) に設定して、図 5 に示すグラフの値を求めた。また、BM の膜厚は $1.0\ \mu\text{m}$ 、層間絶縁膜の膜厚は $2.5\ \mu\text{m}$ 、 $y = 2.0\ \mu\text{m}$ とした。BM には、カーボンを分散させたアクリル系樹脂 (誘電率 4.0) を、層間絶縁膜にはアクリル系透明樹脂 (誘電率 3.7) を用いた。また、画素 ITO フォトリソグラフ時の露光ショット間アライメント差 (ソースパターンと画素 ITO パターンの相対的ズレ) は、 $0.1\ \mu\text{m}$ とした。また、ズレに関しては、画素 1 のズレは 0、画素 2 のズレは $0.1\ \mu\text{m}$ (自ソースが小さくなる方向) とした。そして、入力階調は中間調、入力階調電圧は $V_s = 2.5\ \text{V}$ (TN 品) とした。絵素サイズは $15'' \times \text{GA}$ (絵素ピッチ $99\ \mu\text{m}$) とした。

【0081】

図5に示すグラフによれば、 x の数値が大きいほど、 $\Delta\Delta\beta$ 値は小さくなることが分かる。

【0082】

次に、ドット反転駆動を例に、 $\Delta\Delta\beta$ 値(%)と表示ムラとの関係について説明する。画素容量を C_{lc} 、画素補助容量を C_{cs} 、ゲートラインと画素間の寄生容量を C_{gd} 、ソースラインと画素間の寄生容量を C_{sd} とする。そして、アクティブマトリクス型の液晶表示装置を表す簡易的な等価回路を、図6に示す。さらに、 C_{pix} を、 C_{lc} と C_{cs} と C_{gd} と C_{sd} との和($C_{pix} = C_{lc} + C_{cs} + C_{gd} + C_{sd}$)とする。さらに、 β を、 $\beta = C_{sd} / C_{pix}$ とする。

【0083】

ドット反転駆動方式では、 C_{sd} を、対象画素を駆動するソースラインによる容量成分 C_{sd1} と、隣りの画素を駆動するソースラインによる容量成分 C_{sd2} とに分けて考える。また、ソース信号振幅を V_{sp} とする。さらに、 $\Delta\beta$ を、 $\Delta\beta = (C_{sd1} - C_{sd2}) / C_{pix}$ とする。このとき、ソース電圧 V_s にて画素充電後の画素電位実効値 V_d は、下記の近似式で表すことができる。

$$(\text{近似式}) \quad V_d \doteq V_s - V_{sp} \times \Delta\beta / 2$$

表示ムラは、 V_d の差により生じる。この V_d の差と $\Delta\Delta\beta$ との関係について、下記に説明する。この V_d の差と $\Delta\Delta\beta$ との関係を、図7に示す画素とソースラインとの模式図を用いて説明する。図7に示すように、アクティブ素子を介して画素1と接続されているソースラインを、 S_1 とする。アクティブ素子を介して画素2と接続されているソースラインを、 S_2 とする。同様に、アクティブ素子を介して画素 N と接続されているソースラインを、 $S(N)$ とする。また、自分の(特定の)画素を充電するソースラインを自ソースと定義する。そして、画素電極および容量を持つが、その特定の画素の充電をしないソースラインを、他ソースと定義する。

【0084】

図7において、画素1について、自ソースと他ソースとの関係は、以下のとお

りとなる。つまり、自ソースは S_1 (自ソース = S_1)、他ソースは S_2 (他ソース = S_2) となる。画素 2 について、自ソースおよび他ソースの関係は、自ソース = S_2 、他ソース = S_3 となる。同様に、画素 N について、自ソースおよび他ソースの関係は、自ソース = $S(N)$ 、他ソース = $S(N+1)$ となる。

【0085】

また、画素電極～自ソース間容量 ($C_{sd自}$) を C_{sd11} 、つまり、画素電極～自ソース間容量 = $C_{sd自} = C_{sd11}$ とする。また、画素電極～他ソース間容量 ($C_{sd他}$) を C_{sd12} 、つまり、画素電極～他ソース間容量 = $C_{sd他} = C_{sd12}$ とする。

【0086】

画素電極 1 の $\Delta\beta$ を $\Delta\beta_1$ とし、画素電極 2 の $\Delta\beta$ を $\Delta\beta_2$ とする。このとき、 $\Delta\beta_1$ は、 $\Delta\beta_1 = C_{sd自} / C_{pix} - C_{sd他} / C_{pix}$ 、つまり、 $\Delta\beta_1 = (C_{sd11} - C_{sd12}) / C_{pix}$ である。同様に、 $\Delta\beta_2$ は、 $\Delta\beta_2 = (C_{sd22} - C_{sd23}) / C_{pix}$ である。

【0087】

ドット反転駆動のように隣り合うソースの極性が異なる駆動の場合、画素電極～自他ソース間容量 ($C_{sd自・他}$) 各々の C_{pix} 比 ($C_{sd自・他} / C_{pix} = \beta_{自・他}$) の差 ($\beta_{自} - \beta_{他} = \Delta\beta$) によって、表示特性 (入力階調電圧 V_s と実階調電圧 = 実効値 V_d との差) が決まる。例えば、何らかの原因、具体的にはフォトリソ工程のショット間アライメント差 (一般的には $\pm 0.3 \mu m$) が生じるといった原因によって、画素電極 1 とソースラインとの位置関係および画素電極 2 とソースラインとの位置関係がずれてしまった場合、 $\Delta\beta_1$ と $\Delta\beta_2$ との値は異なることになる。

【0088】

上記のように、 $\Delta\beta$ が異なると、互いの V_d に差が生じ、ムラ (輝度差) になって現れる。つまり、ムラ (輝度差) の程度は、相対的に $\Delta\Delta\beta = \Delta\beta_1 - \Delta\beta_2$ で比較することができる。なお、このことを、上記に記載した数式を用いて説明すれば、下記の (数 1) となる。よって、 $\Delta\Delta\beta$ が小さくなれば V_d の差が小さくなり、その結果、表示ムラが低減することが分かる。

【0089】

【数1】

画素電極1の $\Delta\beta$ ($\Delta\beta 1$) および画素電極2の $\Delta\beta$ ($\Delta\beta 2$) は、

$$\Delta\beta 1 = (C_{sd11} - C_{sd12}) / C_{pix}$$

$$\Delta\beta 2 = (C_{sd22} - C_{sd23}) / C_{pix}$$

である。

また、画素電極1の V_d を $V_d 1$ 、画素電極2の V_d を $V_d 2$ とする。このとき、 $V_d 1$ と $V_d 2$ との実効値差は、輝度差となって現れるため、表示ムラの原因となる。

$V_d 1$ と $V_d 2$ との差を、 V_d の近似式を用いて表すと、

$$\begin{aligned} V_d 1 - V_d 2 &\doteq (V_s - (V_{spp}/2) \times \Delta\beta 1) \\ &\quad - (V_s - (V_{spp}/2) \times \Delta\beta 2) \end{aligned}$$

$$= (V_{spp}/2) \times (\Delta\beta 2 - \Delta\beta 1)$$

$$\doteq (V_{spp}/2) \times \Delta\Delta\beta$$

$$\doteq \text{入力階調電圧 } V_s \times \Delta\Delta\beta$$

となる。

【0090】

ところで、 V_d を求めるとき、上記に示す近似式を用いた。この V_d の近似式について、図8～図11を用いて説明する。図8は、水平2H周期のDOT反転駆動（1フレーム単位の極性反転）における波形を示している。図9は、図8におけるソース電圧の位相の例のみを、詳細に説明したものである。図10は、図8における V_d 波形の例（画素1）のみを、詳細に説明したものである。図11は、図8における V_d 波形の例（画素2）のみを、詳細に説明したものである。

【0091】

図10に示すように、電圧変化が非常に小さいとき、 V_d は、 V_s と $V_s + \Delta V_s$ との平均とほぼ等しい。また、図10に示すように、 ΔV_s は、 $\Delta V_s = \text{ソース電圧変化} \times \text{容量の } C_{pix} \text{ 比の総和}$ と考えることができる。その結果、図10に示す例では、 $\Delta V_s = -V_{spp} \times \Delta\beta 1$ であって、 $V_d 1$ は、 $V_d 1 = V_s - (V_{spp}/2) \times \Delta\beta 1$ と近似することができる。同様に、図11に示す例では、 $V_d 2 = V_s - (V_{spp}/2) \times \Delta\beta 2$ と近似することができる。

【0092】

なお、本発明の液晶表示装置は、透明絶縁性基板上に互いに交差するようにマトリクス上に形成されたゲートラインおよびソースラインと、該ゲートラインおよび該ソースラインの交差部ごとに設けられたアクティブ素子と、それらの上に全面に透明層間絶縁膜を設け、この透明層間絶縁膜にアクティブ素子のドレイン電極と接続するようにコンタクト穴を形成し、このコンタクト穴を被覆するように透明画素電極を形成したアクティブマトリクス基板において、該透明画素極領域を除く該アクティブ素子と該ゲートライン、該ソースラインライン上に該アクティブ素子と該ゲートライン、該ソースラインを覆うように遮光性の樹脂製絶縁材料を設け、該ソースラインと該透明画素電極との間に平面的な距離をおき、かつ該遮光性樹脂絶縁膜と該透明画素電極が平面的に重なりを有するという構成としてもよい。

【0093】

また、本発明の液晶表示装置は、透明絶縁性基板上に互いに交差するようにマトリクス上に形成されたゲートラインおよびソースラインと、該ゲートラインおよび該ソースラインの交差部ごとに設けられたアクティブ素子と、それらの上に第1および第2の透明層間絶縁膜を設け、第1の透明層間絶縁膜および第2の層間絶縁膜に該アクティブ素子のドレイン電極と接続するようにコンタクト穴を形成し、このコンタクト穴を被覆するように透明画素電極を形成したアクティブマトリクス基板において、第1の透明絶縁膜と第2の透明絶縁膜の間に該透明画素極領域を除く該アクティブ素子と該ゲートライン、該ソースラインライン上に該アクティブ素子と該ゲートライン、該ソースラインを覆うように遮光性の金属材料を設け、該ソースラインと該透明画素電極との間に平面的な距離をおき、かつ該遮光性樹脂絶縁膜と該透明画素電極が平面的に重なりを有するという構成としてもよい。

【0094】

さらに、本発明の液晶表示装置は、透明絶縁性基板上に互いに交差するようにマトリクス上に形成されたゲートラインおよびソースラインと、該ゲートラインおよび該ソースラインの交差部ごとに設けられたアクティブ素子と、それらの上

に第1および第2の透明層間絶縁膜を設け、第1の透明層間絶縁膜および第2の層間絶縁膜に該アクティブ素子のドレイン電極と接続するようにコンタクト穴を形成し、このコンタクト穴を被覆するように透明画素電極を形成したアクティブマトリクス基板において、第1の透明絶縁膜と第2の透明絶縁膜の間に該透明画素電極領域を除く該アクティブ素子と該ゲートライン、該ソースラインライン上に、該アクティブ素子と該ゲートライン、該ソースラインを覆うように遮光性の樹脂製絶縁材料を設け、該ソースラインと該透明画素電極との間に平面的な距離をおき、かつ該遮光性樹脂絶縁膜と該透明画素電極が平面的に重なりを有するという構成としてもよい。

【0095】

【発明の効果】

本発明の表示装置用基板は、以上のように、信号線と走査線とが絶縁性基板上に設けられており、信号線および走査線が交差する交差部毎に設けられている画素電極と、信号線および画素電極の間に積層されている層間絶縁膜とを有している表示装置用基板において、上記画素電極は、上記信号線が形成されている平面とは異なる平面に設けられており、上記絶縁性基板の表面に対して垂直方向から見たとき、上記画素電極が設けられていない領域に信号線が設けられているとともに、上記信号線と上記画素電極との間には隙間が設けられているという構成である。

【0096】

それゆえ、本基板を表示装置に用いたとき、表示装置の表示ムラを低減することができるという効果を奏する。

【0097】

また、本発明の表示装置用基板は、上記構成に加えて、上記信号線および上記走査線が交差する交差部毎に設けられているアクティブ素子と、上記アクティブ素子および上記画素電極を接触させるコンタクトホールと、上記アクティブ素子、上記信号線、および上記走査線の表面を覆うように設けられている遮光膜とを有し、上記絶縁性基板の表面に対して垂直方向から見たとき、信号線の表面を覆う遮光膜と画素電極とが重なっているという構成である。

【0098】

それゆえ、上記効果に加えて、本基板を表示装置に用いたとき、光漏れを防止して、より良い表示性能を発揮するという効果と、歩留まりの低下の抑制という効果とを奏する。

【0099】

また、本発明の表示装置用基板は、上記構成に加えて、上記信号線および上記走査線が交差する交差部毎に設けられているアクティブ素子と、上記アクティブ素子および上記画素電極を接触させるコンタクトホールと、上記アクティブ素子、上記信号線、および上記走査線の表面を覆うように設けられている遮光膜とを有し、上記層間絶縁膜は、2層以上の積層体であり、上記遮光膜は、上記層間絶縁膜を構成する最上層と最下層との間に積層されており、上記絶縁性基板の表面に対して垂直方向から見たとき、信号線の表面を覆う遮光膜と画素電極とが重なっているという構成である。

【0100】

それゆえ、上記効果に加えて、遮光膜に特定の材料を用いる必要がなくなるという効果を奏する。

【0101】

また、本発明の表示装置用基板は、上記構成に加えて、上記遮光膜は、絶縁性を有する樹脂からなるという構成である。

【0102】

それゆえ、上記効果に加えて、比較的容易に遮光膜を形成することができるという効果を奏する。

【0103】

また、本発明の表示装置用基板は、上記構成に加えて、上記遮光膜は、金属からなるという構成である。

【0104】

それゆえ、遮光性の高い遮光膜を、容易に形成することができるという効果を奏する。

【0105】

また、本発明の液晶表示装置は、上記に記載の表示装置用基板を有するという構成である。

【0106】

それゆえ、表示ムラの低減が可能な液晶表示装置を提供することができるという効果を奏する。

【図面の簡単な説明】

【図1】

本発明の液晶表示装置における実施の一形態を示す断面図である。

【図2】

本発明の表示装置用基板における実施の一形態を示す平面図である。

【図3】

図2に示す表示装置用基板の、B-B'線における矢視断面図である。

【図4】

本発明の表示装置用基板における他の実施の形態を示す断面図である。

【図5】

表示装置用基板における、画素電極およびソースラインの距離と、 $\Delta\Delta\beta$ の値との関係を示すグラフである。

【図6】

本発明の実施例におけるアクティブマトリクス型の液晶表示装置を表す、簡易的な等価回路である。

【図7】

本発明の実施例において、 $\Delta\Delta\beta$ と V_d の差との関係を説明するために用いた、画素とソースラインとの関係を示す模式図である。

【図8】

本発明の実施例における V_d の近似式を説明するための、水平2H周期のDOT反転駆動における各種波形を示す模式図である。

【図9】

図8におけるソース電圧の位相の例を、詳細に記載した模式図である。

【図10】

図 8 における V_d の波形（画素 1）を、詳細に記載した模式図である。

【図 1 1】

図 8 における V_d の波形（画素 2）を、詳細に記載した模式図である。

【図 1 2】

従来の表示装置用基板を示す平面図である。

【図 1 3】

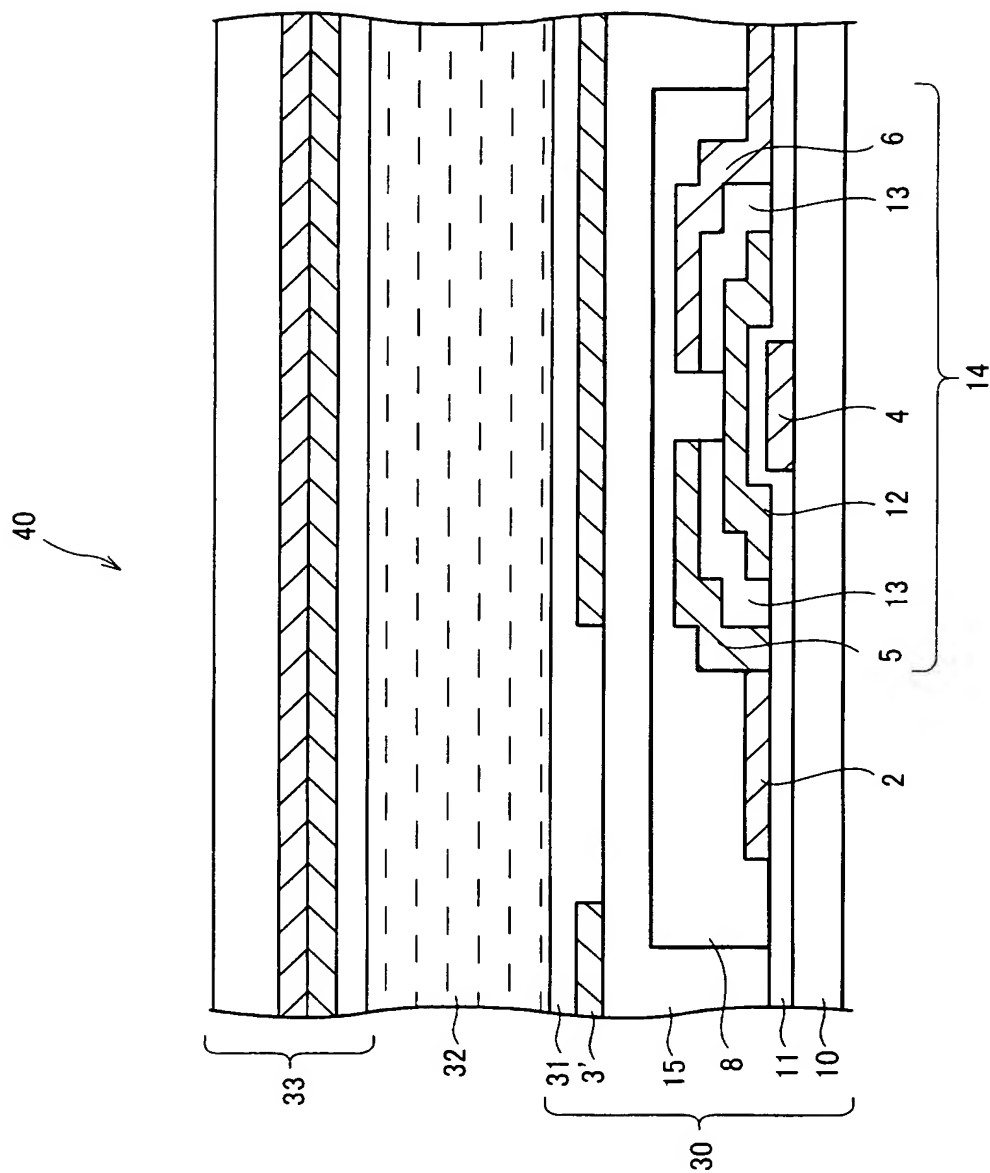
従来の表示装置用基板を示す断面図である。

【符号の説明】

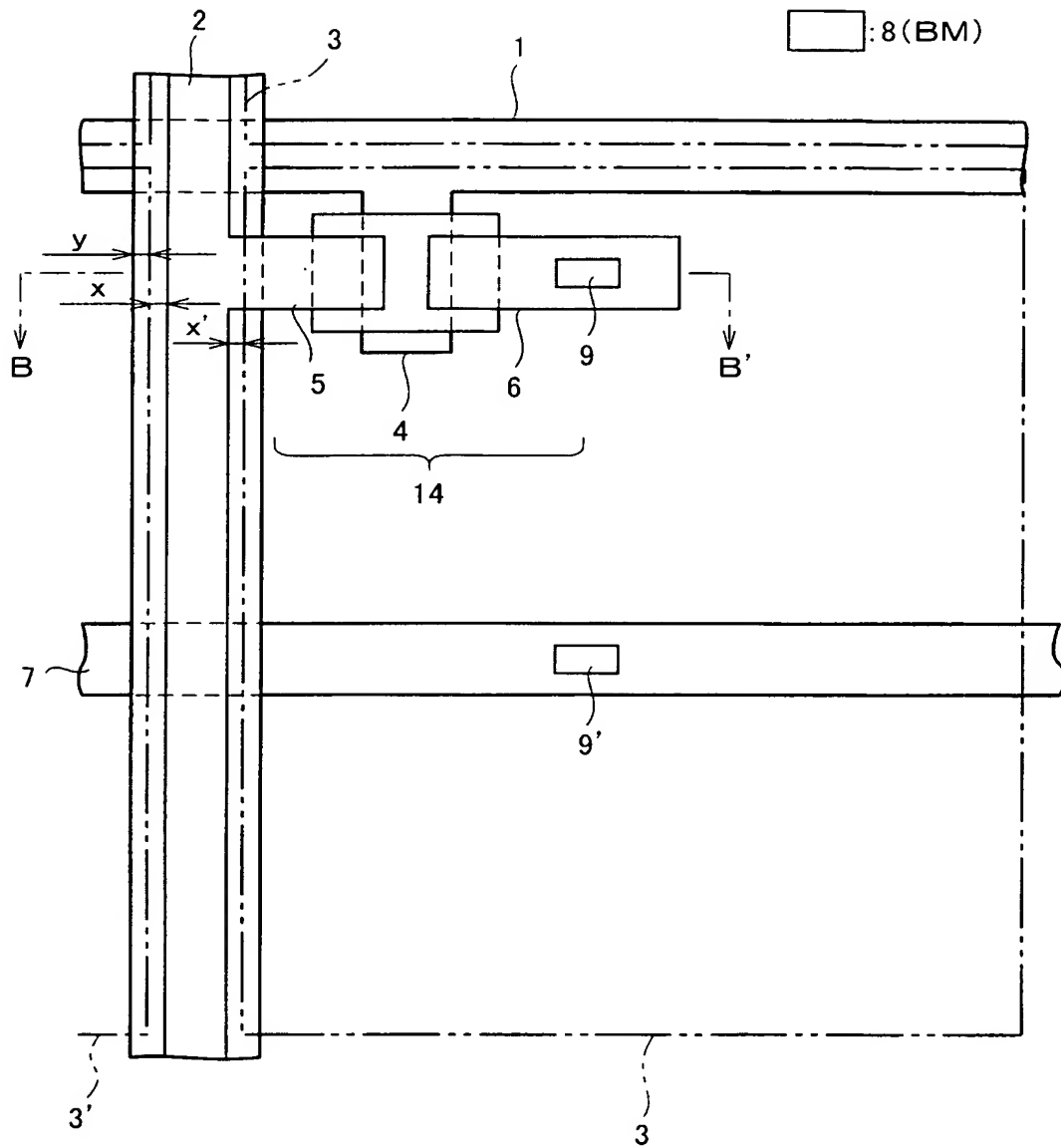
- 1 ゲートライン（走査線）
- 2 ソースライン（信号線）
- 3 画素電極
- 3' 画素電極
- 4 ゲート電極
- 5 ソース電極
- 6 ドレイン電極
- 7 補助容量ライン
- 8 ブラックマトリックス（遮光膜）
- 9 コンタクトホール
- 9' コンタクトホール
- 10 絶縁性基板
- 11 ゲート絶縁膜
- 12 活性半導体層
- 13 アモルファスシリコン層
- 14 アクティブ素子
- 15 層間絶縁膜
- 20 第 2 層間絶縁膜
- 30 アクティブマトリクス基板（表示装置用基板）
- 40 液晶表示装置

【書類名】 図面

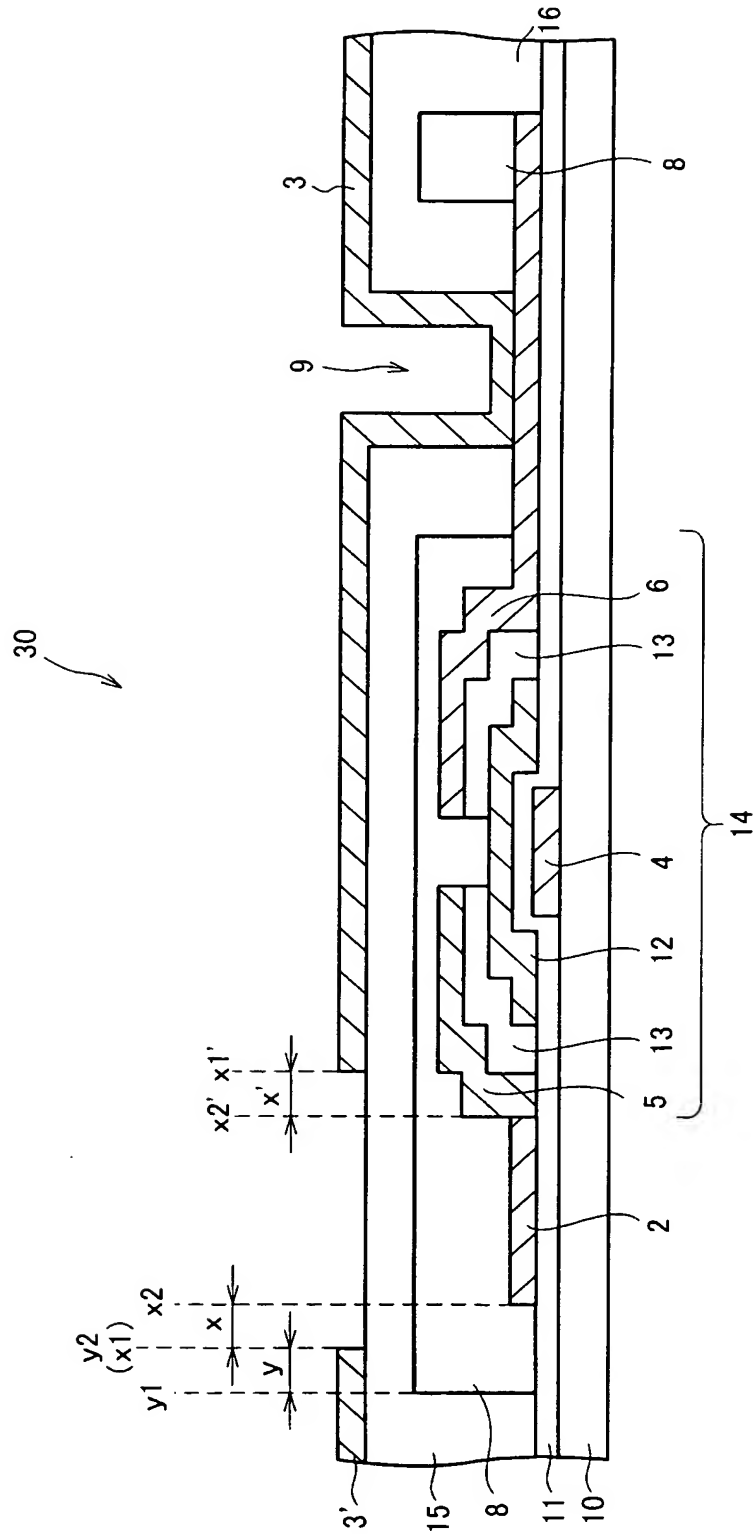
【図 1】



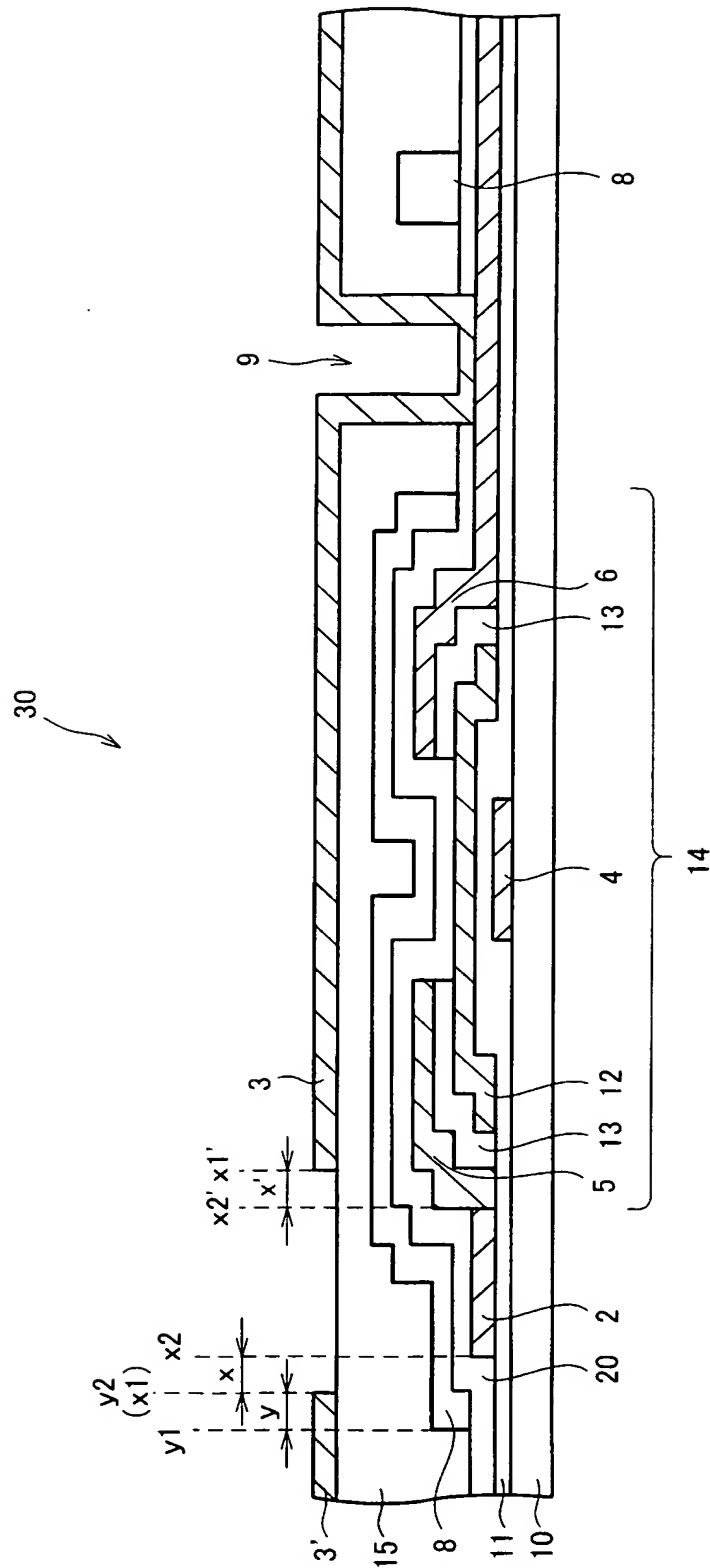
【図 2】



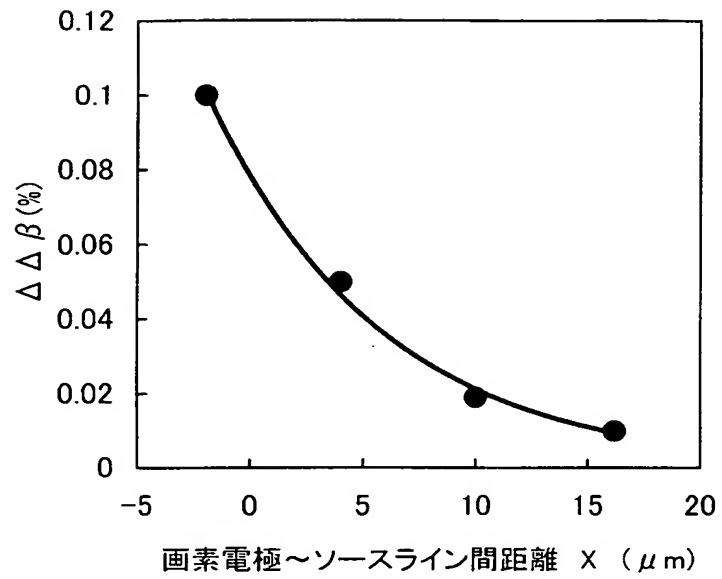
【図 3】



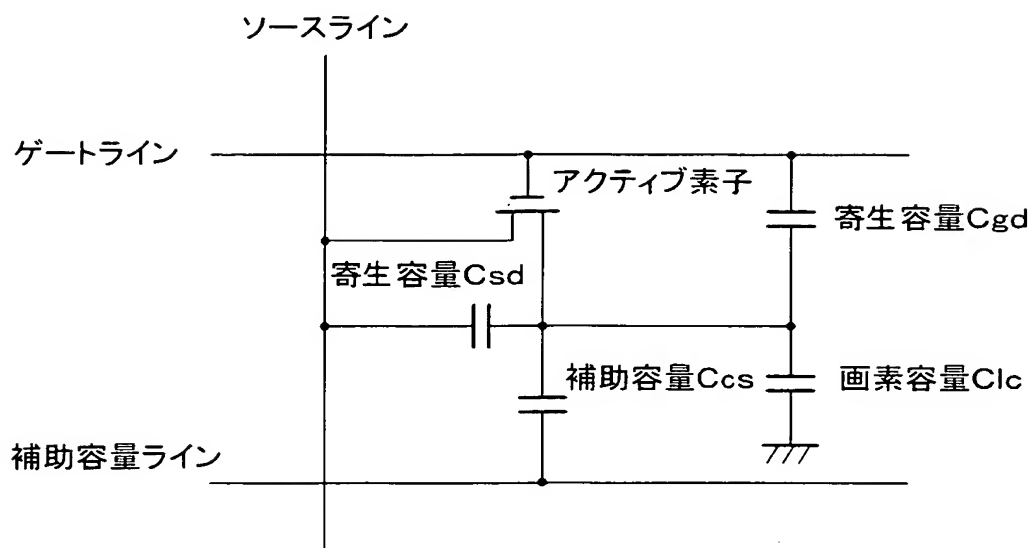
【図 4】



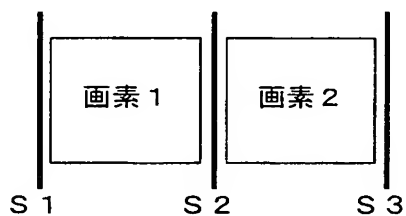
【図 5】

画素電極～ソースライン間距離と $\Delta\Delta\beta$ との関係

【図 6】

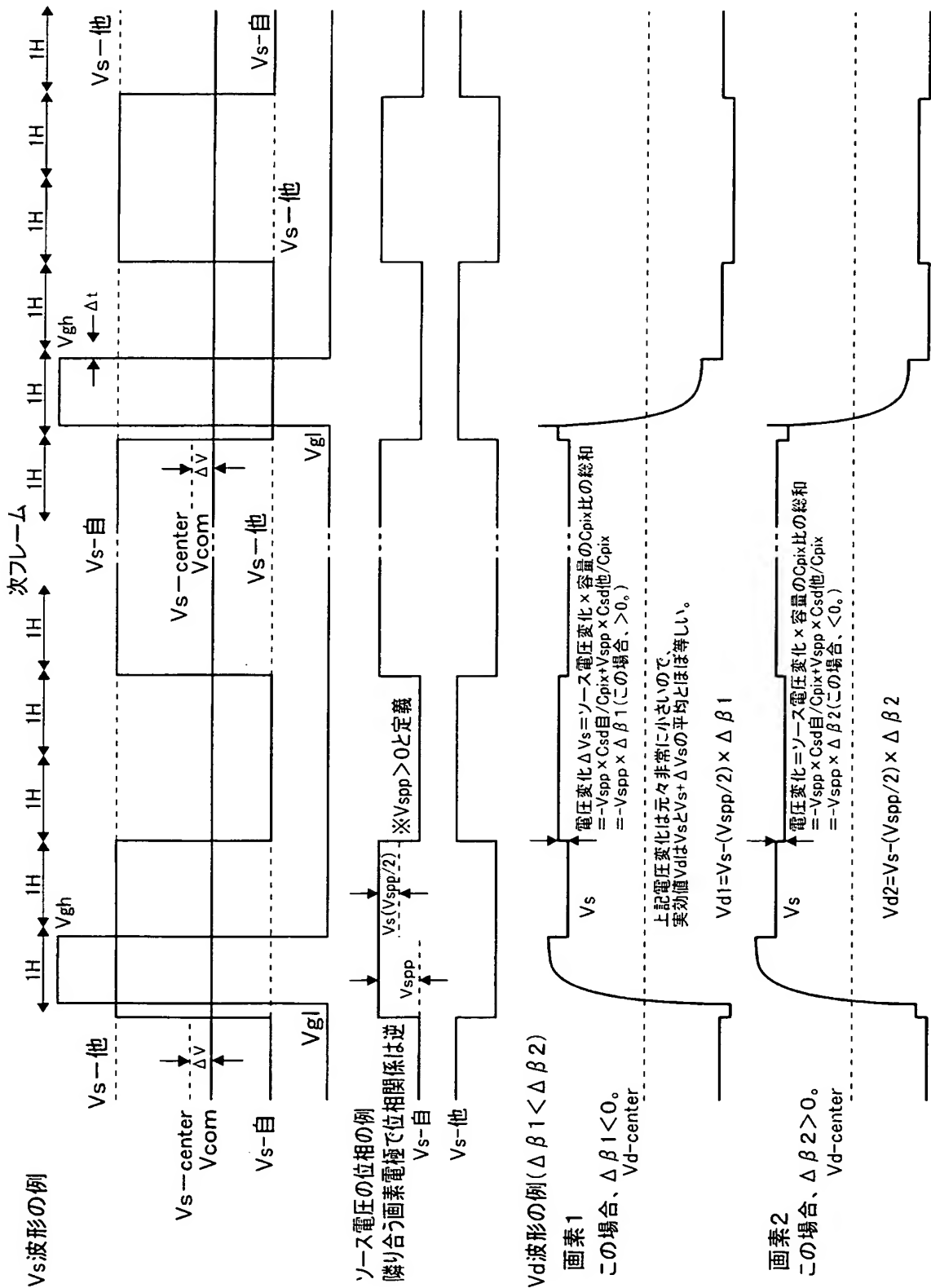


【図 7】

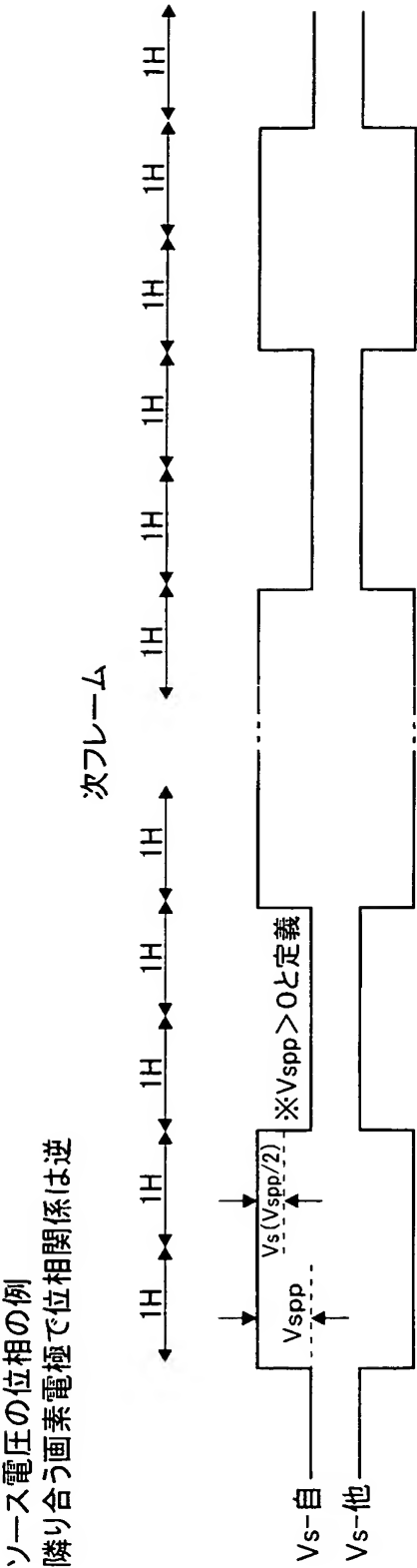


S 1、S 2、および S 3・・・ソースライン

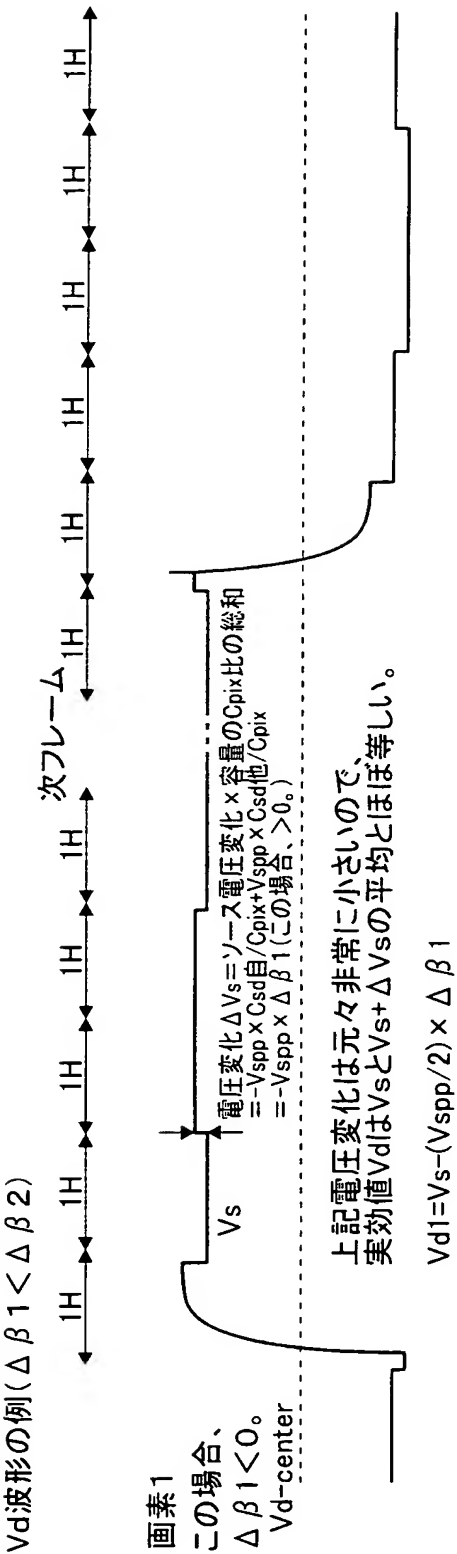
【図8】



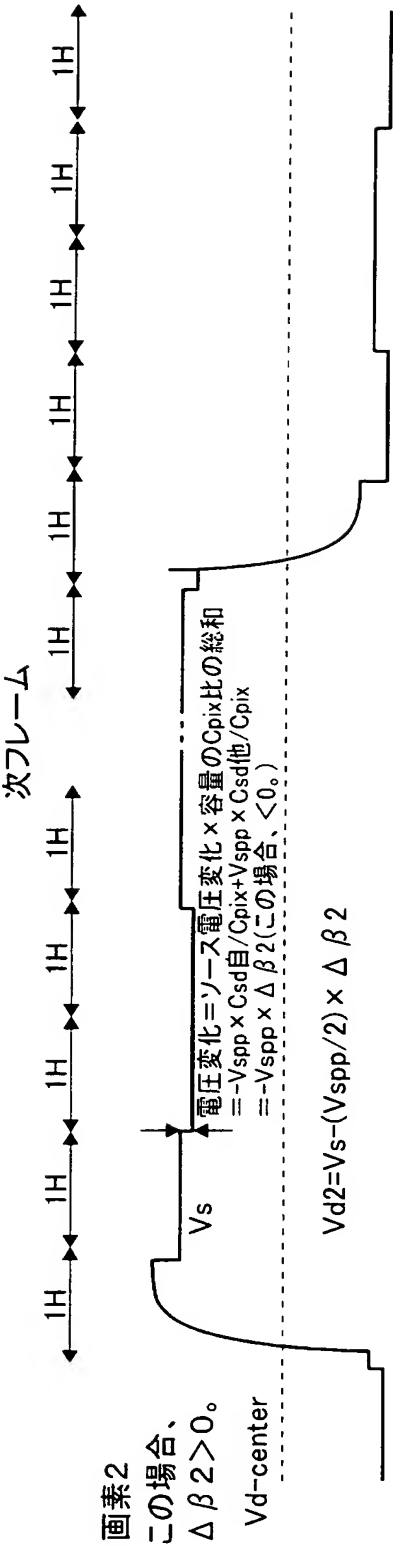
【図 9】



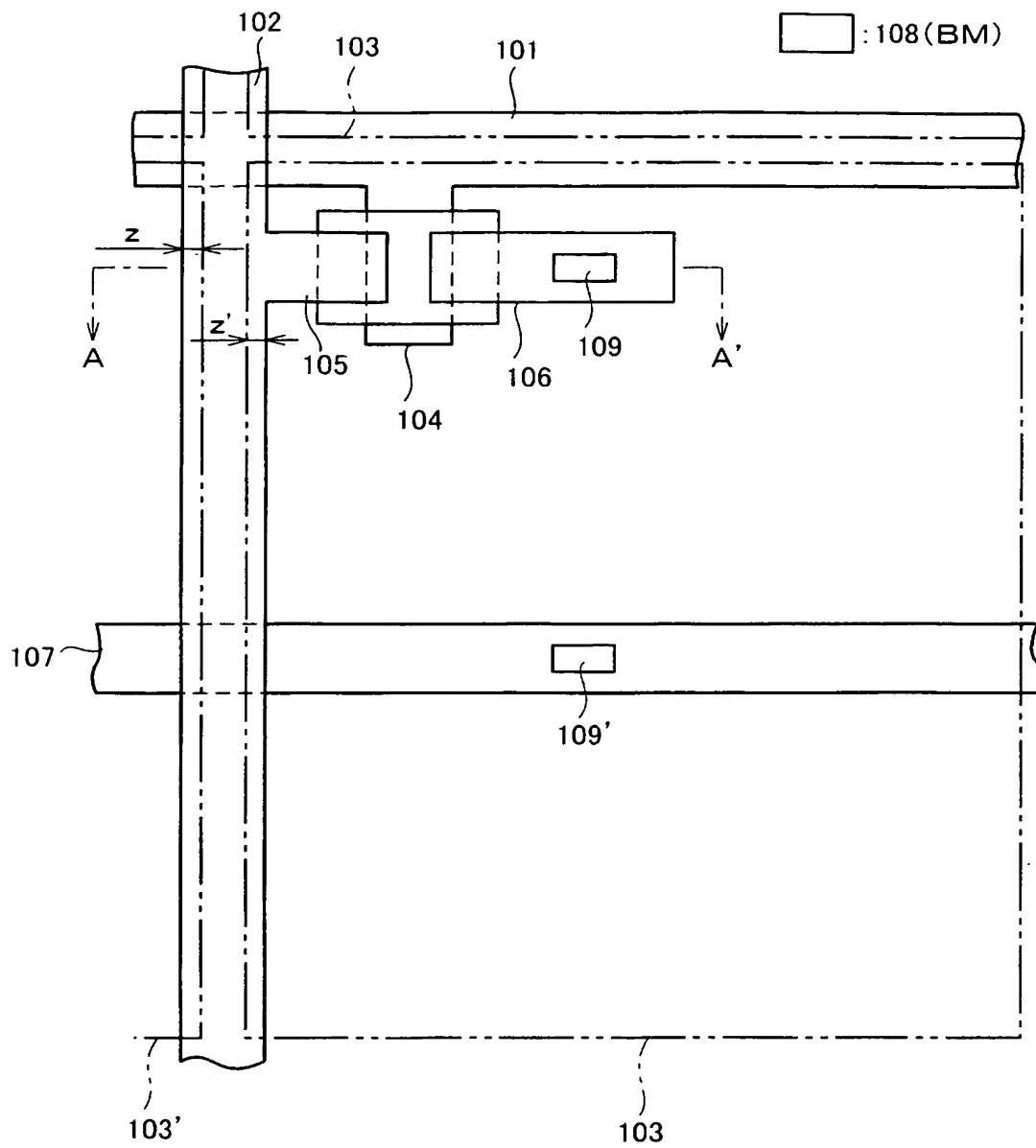
【図 10】



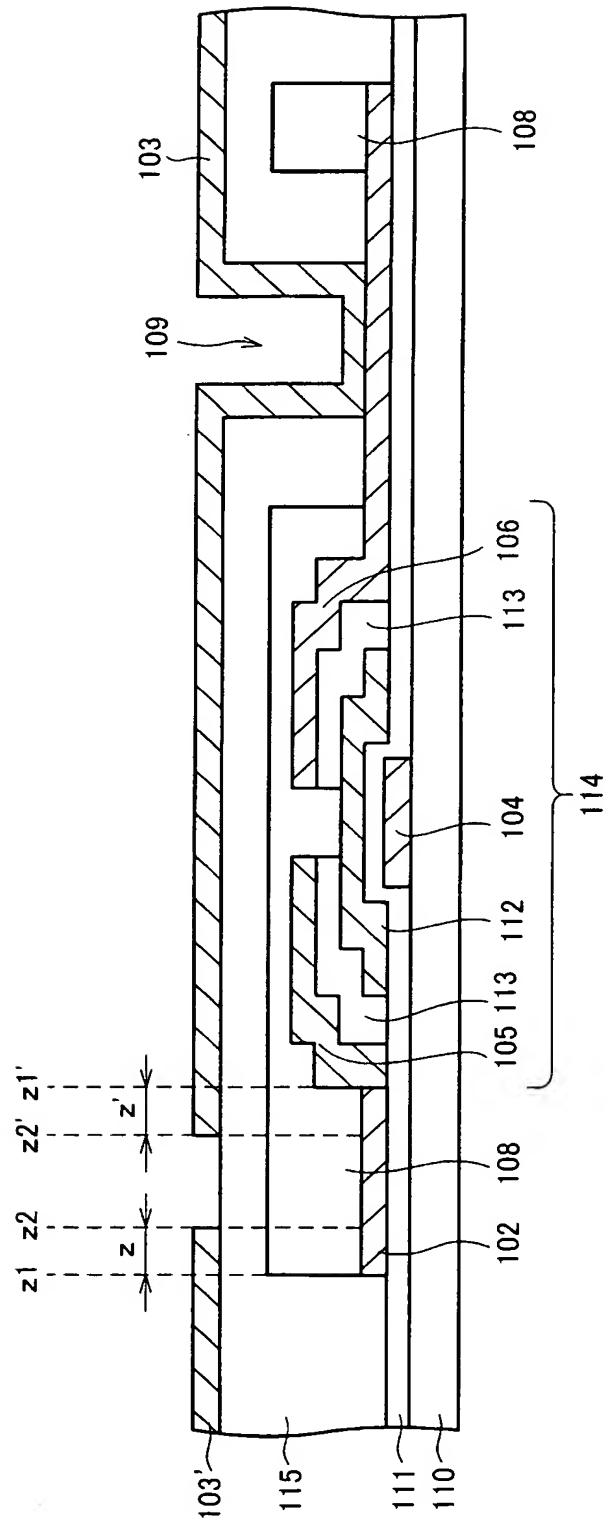
【図 11】



【図 12】



【図 13】



【書類名】 要約書

【要約】

【課題】 液晶表示装置の表示ムラを低減する。

【解決手段】 画素電極が設けられていない領域に信号線を設けるとともに、信号線と画素電極との間に隙間を設け、さらに、信号線の表面を覆う遮光膜と画素電極とを重ねる。

【選択図】 図 1

特願 2 0 0 2 - 3 8 1 6 6 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 0 4 9]

1 . 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社